

(19)日本国特許庁 (J P) (12) 特 許 公 報 (B 2)

(11)特許番号  
特許第3204986号  
(P3204986)

(45)発行日 平成13年9月4日(2001.9.4) (24)登録日 平成13年9月29日(2001.9.29)

(51)Int.Cl.	識別記号	P I
H 01 L 21/20	H 01 L 21/20	
G 02 F 1/358	G 02 F 1/358	5 0 0
H 01 L 21/336	H 01 L 29/78	6 2 7 G
	29/786	

請求項の数(全 11 頁)

(21)出願番号	特願平9-542270	(73)特許権者	959999999 ザ・トラスティーズ オブ コロンビア ユニヴァーシティ イン ザ シティ オブ ニューヨーク アメリカ合衆国 ニューヨーク州 10027-6339 ニューヨーク プロード ウェイ アンド ワンハンレッドシツ クステイアンス ストリート(緯地な し) 959999999 (74)代理人 糸理士 杉村 曉秀 (外5名) 審査官 宮崎 國子
(36) (22)出願日	平成8年5月28日(1996.5.28)		
(55)公表番号	特公2000-505241(P2000-505241A)		
(43)公表日	平成12年4月25日(2000.4.25)		
(80)国際出願番号	P C T / U S 9 6 / 0 7 7 3 0		
(87)国際公開番号	W O 9 7 / 4 5 8 2 7		
(87)国際公開日	平成9年12月4日(1997.12.4)		
審査請求日	平成11年5月6日(1999.5.6)		
早期審査対象出願			

(64)【発明の名称】 基板上の半導体領域の結晶化処理及びこの方法により製造されたデバイス

(65)【特許請求の範囲】

【請求項1】 支持された半導体材料の膜の膜方向に延在する部分として多結晶領域を形成するに当たり、半導体材料中に熱を誘導するパルス状の放射を用いて、後部に位置する放射透過性の基板と、基板上の第1の半導体領域との界面の熱伝導性の膜と、前記放射の膜上の第2の半導体領域とを有する構造体の前側及び後側から同時に放射し、前記膜方向に延在する部分を含む半導体領域の膜方向に延在する領域の全ての半導体材料を溶解し、

【請求項2】 前記請求項1に記載の方法において、前記領域の境界から膜方向に延在する領域を形成することにより、多結晶の微細構造体を前記領域に形成する多結晶領域の形成方法。

【請求項3】 請求項1に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

(66)【発明の効果】 請求項1に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

(2)

【請求項10】 請求項1に記載の方法において、前記領域がマスクパターンにより規定された形状を有する方法。

【請求項11】 請求項10に記載の方法において、前記マスクパターンが投影される方法。

【請求項12】 請求項10に記載の方法において、前記マスクパターンが近接マスクにより規定される方法。

【請求項13】 請求項10に記載の方法において、前記マスクパターンが接触マスクにより規定される方法。

【請求項14】 請求項11に記載の方法において、前記放射がレーザ放射により構成される方法。

【請求項15】 請求項11に記載の方法において、前記領域がサブセル化されている方法。

【請求項16】 支持基板上の請求項1に記載の方法により処理された半導体膜。

【請求項17】 支持基板上の、請求項1に記載の方法により処理された半導体膜で構成される複数の半導体デバイス。

【請求項18】 支持基板上の、少なくともアクティブチャネル領域が請求項1に記載の方法により処理されている複数の面素を有する薄膜トランジスタを有する集積回路。

【請求項19】 少なくともアクティブチャネル領域が請求項1に記載の方法により処理されている複数の面素を有する薄膜トランジスタを有する集積回路。

【請求項20】 少なくともアクティブチャネル領域が請求項1に記載の方法により処理されている複数の薄膜トランジスタを有する面素ドライバ集積回路を有する液晶表示装置。

【請求項21】 基板上の半導体材料の膜に膜方向に延在する結晶領域を形成するに当たり、半導体材料中に熱を誘導するパルス状の放射を用い、前記半導体材料の一部部分を露光して前記半導体膜の一部を溶解し、

【請求項22】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項23】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項24】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項25】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項26】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項27】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項28】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項29】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項30】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項31】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項32】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項33】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項34】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項35】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項36】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項37】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項38】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項39】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項40】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項41】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項42】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項43】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項44】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項45】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項46】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項47】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項48】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項49】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。

【請求項50】 請求項21に記載の方法において、前記領域が平行な線部により範囲が規定されている方法。



(6)

10

9  
ysik Complex 30)の商品名で市販されている。ガラス基板の場合、例えば348nmのようなより長い波長が必要である。  
ビーム限外は固定された前側エネルギー密度及び種々の後側エネルギー密度で行う。評価した前側エネルギー密度はサンブル面で約1.0J/cm<sup>2</sup>である。後側エネルギー密度は170〜608mJ/cm<sup>2</sup>である。

第2実施例

図4の露光装置は、エキシマレーザ41、プリズム偏光器42、集束レンズ43、真空チャンナ44及びサンブルを配置するホットステージ45を含む。

10  
本発明の図4の露光装置を用いる第2の実施例において、図5のサンブル構造体は、基板50、熱硬化膜51、第1のパターン化されたアモルファスシリコン膜52、SiO<sub>2</sub>膜53、第2のパターン化されたシリコン膜54、及びさらに堆積したSiO<sub>2</sub>膜55を含む。典型的な厚さは、熱硬化膜51については100nmとし、アモルファスシリコン膜52については100nmとし、SiO<sub>2</sub>膜53については210nmとし、アモルファスシリコン膜54については120nmとし、SiO<sub>2</sub>膜55については170nmとする。

このサンブル構造体はシリコンウェハ50上の熱硬化膜51上に低圧化学気相堆積 (LPCVD) によりアモルファスシリコン膜52を堆積することにより得られる。シリコン膜52にフォトリソレジストをコートし、その後ステップにより露光し、現像し、さらにシリコン膜52をSF<sub>6</sub>/O<sub>2</sub>プラズマで反応性イオンエッチングを行いパターン形成を行う。

図6Aに上方から見た図面として示す。このパターンは、デバイスとして使用される四角形の主アライメント領域523、矩形の「チャイルド」領域521、及びチャイルド領域521と主アライメント領域523とを結ぶ「ボトムネック」領域522の3個の領域で構成される。これらの寸法は以下のようになっている。チャイルド領域521については20×10μmとし、ボトムネック領域522については5×3μmとし、主アライメント領域521については10×10μmから50×50μmの範囲の異なる寸法とする。

第1レベルのアライメントにはプラズマエッチングによる相堆積 (PECVD) によりSiO<sub>2</sub>膜53を形成し、上側にアモルファスシリコンを堆積する。フォトリソグラフィ処理を用いてアモルファスシリコンについてパターンニングを行い、5×5μmの寸法の「第2レベルのアライメント」ド54を形成する。第2レベルのアライメントド54はチャイルド領域521の上側に直接位置し露光中のビーム遮光区域として作用する。最後に、この構造体全体にPECVDのSiO<sub>2</sub>膜を形成する。

処理を行うため、サンブルを10<sup>-5</sup>トールの圧力の真空チャンバ内の耐熱性グラファイトのホットステージ上に配置する。別の適当な加熱装置を利用できる場合、真空処理を省略することができる。基板温度が1000〜1200°になるまで加熱を行い、これには約3分の立ち上がり時間と必要とする。露光する前にサンブルを最終的な基板温度に約2分間保持する。サンブルの温度は、直接取り

(6)

11

付けた熱電対により局所的にモニタすると共にデジタルの赤外線センサーが溶融した半導体材料をモニタする。サンブルは、単一のエキシマレーザビームを用いてチャイルド領域内のビーム遮光領域54以外の全ての第1レベルのアライメント領域が完全に溶融するのに十分高いエネルギー密度で露光する。

微細構造の分析を行うため、露光したサンブルをセコウ (Seco) エッチングを行った。1150°の基板温度で露光したサンブルの場合、セコウエッチングされたサンブルのノーマルスキーマ顕微鏡厚さは、20×20、40×40及び50×60μmのアライメントは単一結晶のアライメント (SC) 1) に完全に交換されているのを示している。エッチングされたサンブルの欠陥パターンは、主アライメント領域が、SLGの研究で認められている平面欠陥に加えて、ゾーンメルディングの再結晶化で観察されるものと同等な小角サブ境界を含むことを示唆している。1100°Cのよう低い基板温度の場合、20×20μmの小さいアライメントだけが大部分の再結晶化で観察される。1050及び1000°Cの低い基板温度の場合、20×20μmのアライメントに大角サブ境界が発生している。

この第2実施例の熱伝導率は図6B〜6Dに基づいて理解することができる。すなわち、露光に際して、第2レベルの四角形の領域54はこの領域に注入するビームエネルギーの大部分を遮光し、チャイルド領域521のビームが遮光された区域での完全な溶融が阻止される。露光された第1レベルの領域の残りの部分は、図6Bに示すように完全に溶融する。膜が基板を介して加熱されると、ビームが遮光された領域の縦横一帯境界面から外側に向けて急速にシリコン粒子61がビーム遮光領域から外側に向けて急速に成長を開始する。チャイルド領域内において、多くの粒子61は非常に早く結びつき、1個又は数個の好ましい位置する粒子だけがボトムネック領域522に向けて成長する。ボトムネック領域522は、1個の粒子がボトムネック部を越えて主アライメント領域523に拡張するような形態を有する。基板温度が十分に高く主アライメント領域523が急激に冷却された液中での領域が防止されるほど小さい場合、ボトムネック部522を越えて成長した1個の粒子の縦方向の成長により主アライメント領域523全体が単一の結晶領域に変換される。

従って、主アライメント領域523の単一結晶形態への有用な変換は、基板温度とアライメント領域の大きさとの適切な組合せを必要とする。溶融したシリコンは、縦方向の領域により完全に交換するために必要な特性時間よりも長い特定の体積を凝固させるための特性時間にわたって十分に高い温度に維持する必要がある。この特性変換時には主として交換すべき距離すなわち主アライメントの縦方向の寸法に依存する。特性変換時間が液体中で凝固面がトリガされる前に達成できる立方位向方向成長距離に匹敵するようにアライメントの大きさを基板温度に關係付ける必要がある。ゾーンメルディング平滑結晶と比較し

12

て、本発明の技術は例えば100nm又はそれ以下の厚さの極めて薄い膜を平滑結晶とさせることができる。

ビームを阻止する代わりに、第1の実施例について説明したように、反射防止膜を用いて相補的なマスキングにより種領域を規定することができる。或いは、露光により種領域を規定することができる。

第3実施例

図7の投影露光装置は、エキシマレーザ71、ミラー72、可変焦点視野レンズ74、パターンが形成されたマスク75、2素子結像レンズ76、サンブルステージ77、及び可変減衰器78を含む。サンブル70はサンブルステージ77上に配置する。この装置を用いて鮮明なビームを発生させることにより、順次縦方向領域 (SLS) プロセスで単一結晶のシリコン領域を段階成長させることができる。或いは、近接マスク又は接触マスクを用いてビーム形成することができる。

図8のサンブル構造体は、基板80、熱硬化膜81、及びアモルファスシリコン膜82を有する。

以下の説明において、図9A〜9F、第1の変形例の2個の例を示す図10A〜10F及び第2の変形例を示す図11A〜11Bを参照して第3実施例の技術を説明する。

本例において矩形にパターン化されているアモルファスシリコン膜82からスタートし (図9A)、2本の領域により境界されているシリコン膜82の領域91をパルスで露光し、この領域のシリコンを完全に溶融させる (図9B)。次に領域91の溶融シリコンを平滑膜にする (図9C)。ここで、領域91は細条状とし、この領域91の露光はマスクされた露光により又は近接マスクを用いて行うことができる。領域91の溶融シリコンの平滑膜に際し、2個の縦列が領域91の境界の境界部から領域91の中央に向けて境界的に成長する。2本の縦列の成長は、最終の距離92に至る特有の縦方向の成長である。領域91の残りの部分において、微細に粒子化した多結晶領域83が形成される。好ましくは、この細条の幅は、平滑膜に際し2本の粒子列が成長することなく互いに近づくように選択する。本発明から除外されるものではないが、幅が広くなくとも処理の効率に寄与することはない。幅を狭くすると望ましくない傾向にある。この理由は、以後の工程において長さ短くしなければならないが、しかも露光プロセス中に対向する方向から成長する粒子が一緒にになる位置において半導体表面が不規則になる可能性があるためである。シリコン膜上に酸化キャップ層を形成し、酸洗し、退くすると共にシリコン膜の表面の凹凸を低減して表面を平坦にすることができる。

露光される隣接領域はマスク投影又は近接マスクに対してサンブルを結晶成長の方向にシフト (ステッピング) することにより規定される。シフトした (ステッピング) 移動した) 領域94は図9Dの2本の領域により境界される。シフトする距離は、露光される次の領域が前回露光した領域と重なる図9Eに示すように一方の結晶の列が

(7)

13

部分的に溶解する間に他方の結晶の列が完全に溶解するように設定する。再結晶に際し、部分的に溶解している結晶の列は、図9Fに示すように、一層長くなる。この段階において、露光される部分を繰り返しシフトすることにより、所望の長さの単一結晶粒を成長させることができる。

露光された領域のパターンが一旦消失せず、図10Aの焼結で規定されるように山形形状101である場合、図10B～10Fに示す露光領域を同一の順序でシフトすることにより、シフトされた山形パターン101の最下部の頂部から粒子の成長が拡大する。このようにして、単一結晶の領域を印及び長さを増大しながら成長させることができる。

大面積の単一結晶領域は、図11Aに図示され、テイル領域111、細いボトルネック領域112及び主アイランド領域113を有するパターン化されたアモルファスシリコン膜に順次シフト（ステップ状）した露光領域を形成することにより成長させることができる。図11A～11Cの領域111、112及び113の断面は、放射露光アモルファス領域111及び領域112の二酸化シリコン層55が存在しないことを除いて図5に示すものと同様である。マスクされた露光又は近接マスクにより規定された露光領域は図11A～11Cの領域111により規定された領域により図示されており、この領域はテイル領域111からボトルネック領域112を経て単一粒子を成長させて単一結晶のアイランド領域113を形成するための露光領域の順次の横方向シフト（ステップング）を示す。

図9A～9F、図10A～10F及び図11A～11Cの実施例の順次の横方向溶解及び再結晶は、水晶基板上にコートされ膜厚が100～240nmの二酸化シリコン上に化学気相堆積(CVD)により堆積したアモルファス膜について行っ

14

た。単一結晶細線の形成は、欠陥エッチングサンプルの光學式差電子顕微鏡により確認した。

選択的なエッチングとして、基板を加熱して溶解に必要なエネルギーを低下し又は1ステップ当りの横方向の成長距離を増大させることができる。この利点は、図1に示すステージ上のサンプルを2方向からの露光により実現することができる。

別の処理及び用途

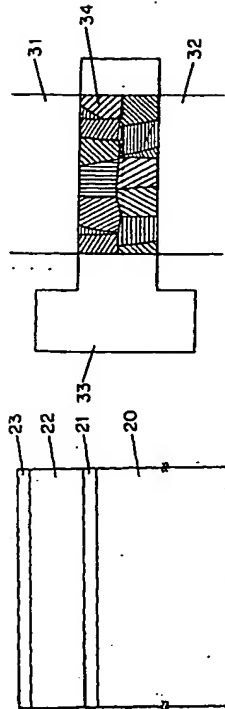
本発明により形成された半導体膜を用いることにより、例えばパターン形成、エッチング、不純物注入、絶縁層の堆積、コンタクト形成、及びパターン化された金属層の相互接続のような良好に確立された別の技術により形成された半導体デバイスを製造することができる。好適な例は半導体トランジスタにおいて、少なくともアモルファスシリコン領域は、例えば図9A及び9Bに示す単一結晶の規則的な又は少なくともほぼ規則的な微細構造を有する。

特に注目すべきことは、図12に線図的に示す微細構造にこのようにTFTが含まれることである。このデバイスは、少なくとも表示領域121が透明な基板120を含む。この表示領域121は図案122の規則的なアレイを含み、各画素はTFT画素コントローラを含む。各画素コントローラはドライバ123により個別にアドレスされることができ、好ましくは、画素コントローラ及び/又はドライバ回路は本発明の技術に基づいて形成した半導体材料で形成する。

別の用途として、イメージセンサ、スタックランダムアクセスメモリ (SRAM)、シリコン-オイルインシュレータ (SOI) デバイス、及び三次元記憶回路デバイスが含まれる。

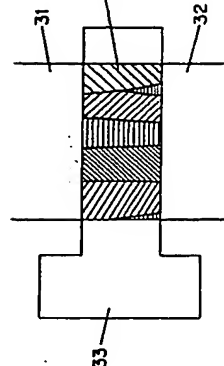
(8)

【第2図】

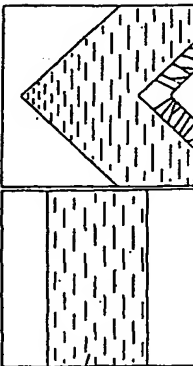


【第3A図】

【第3B図】

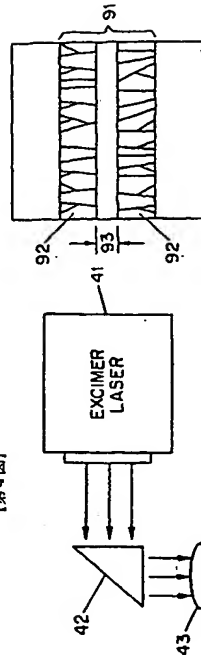


【第9B図】

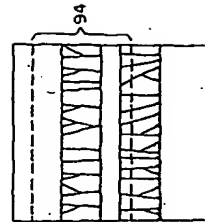


【第4図】

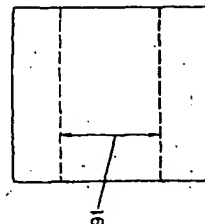
【第9C図】



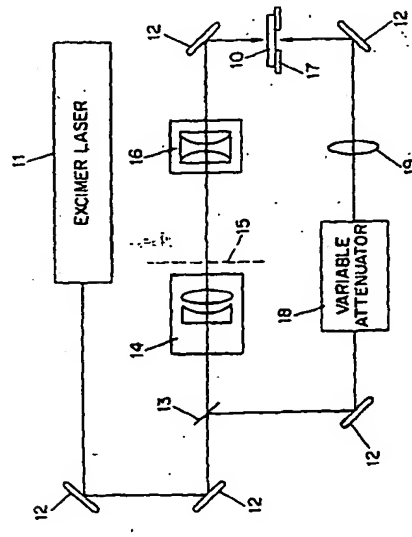
【第9D図】



【第9A図】

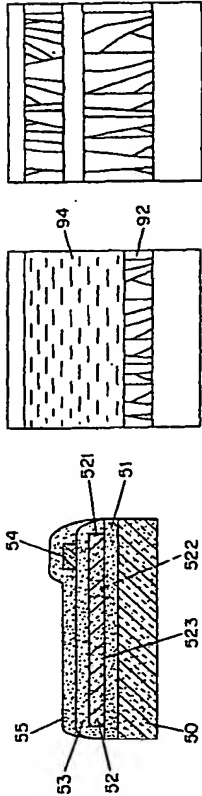


【第1図】

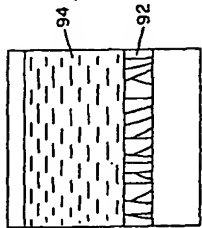


(9)

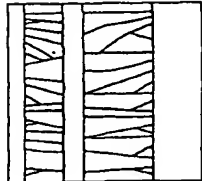
【第5図】



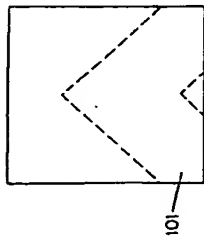
【第9E図】



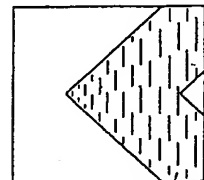
【第9F図】



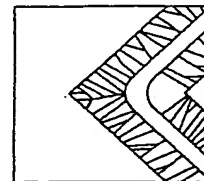
【第10A図】



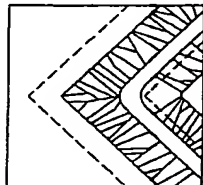
【第10B図】



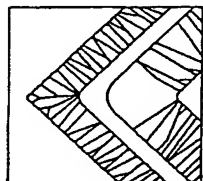
【第10C図】



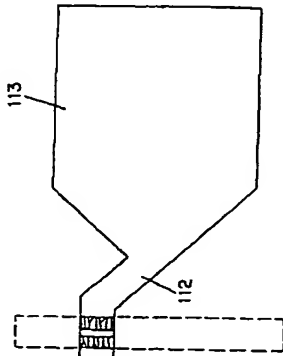
【第10D図】



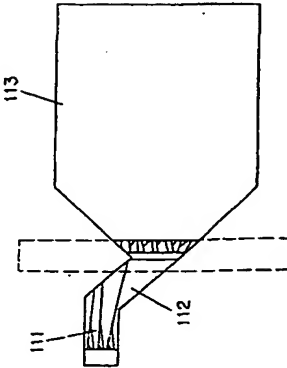
【第10F図】



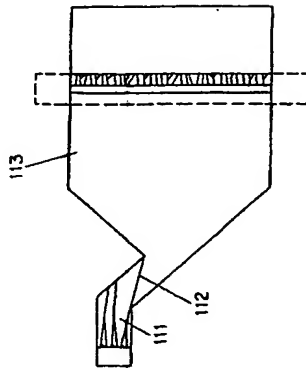
【第11A図】



【第11B図】

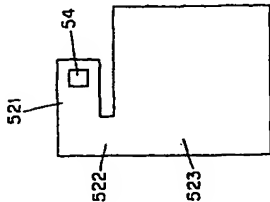


【第11C図】

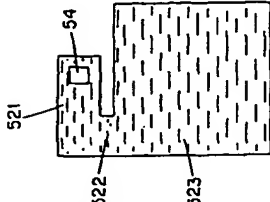


(10)

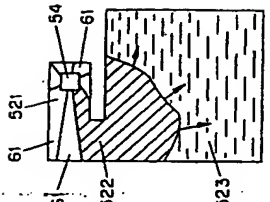
【第6A図】



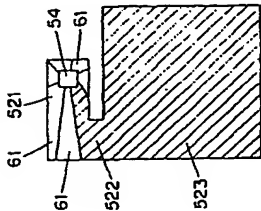
【第6B図】



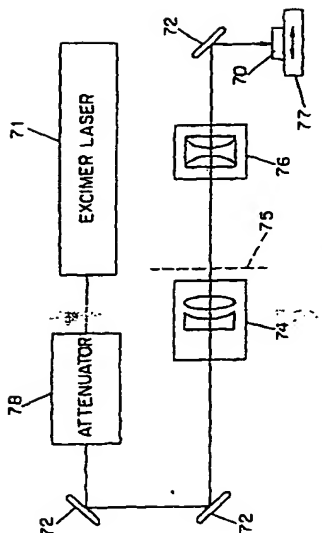
【第6C図】



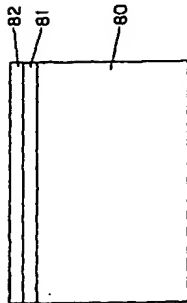
【第6D図】



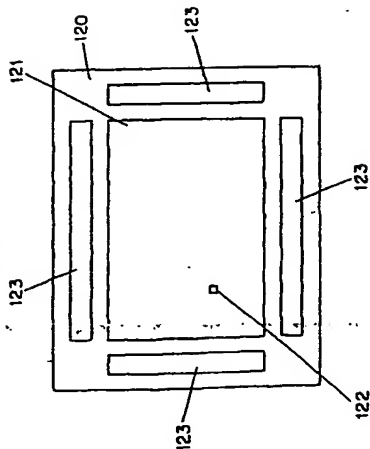
【第7図】



【第8図】



【第12図】



(11)

フロントページの続き

(72)発明者  
イム ジェイムス エス  
アメリカ合衆国 ニューヨーク州  
10027-6699 ニューヨーク ダブリュ  
ー ワンハンドレッド フォーティーン  
ス ストリート520 アパートメント  
ナンバー 74

(56)参考文献 特開 平2-283036 (J P, A)  
特開 平6-252048 (J P, A)

(58)調査した分野(Int. Cl. 7, DB名)  
H01L 21/20